

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-195706
 (43)Date of publication of application : 21.07.1999

(51)Int.Cl.

H01L 21/768
 H01L 21/8234
 H01L 27/06
 H05K 3/40

(21)Application number : 10-000405
 (22)Date of filing : 05.01.1998

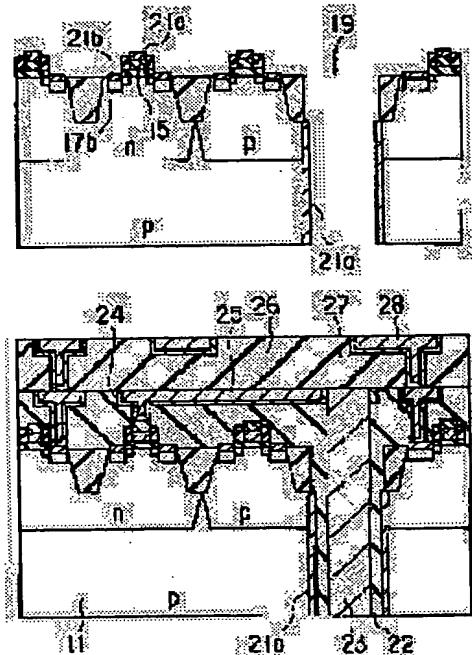
(71)Applicant : TOSHIBA CORP
 (72)Inventor : MATSUNAGA NORIAKI
 SHIBATA HIDEKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance electric shielding effect for through-hole wiring by forming sidewall conductor layer between semiconductor substrate, which is to become a sidewall of the through-hole, and a side-well insulating film.

SOLUTION: Through heat treatment, a Ti-Tin film 24 and silicon below the film are made to react, and silicide is formed. That is to say, though the reaction with the substrate silicon which becomes the inner wall of a through-hole, silicide 21c is formed by the reaction with the polysilicon film which is become a gate electrode from a silicide layer 21b, based on the reaction of silicide 21a with an impurity dispersed layer. The silicide 21a is in contact with a (p) well region and made to be a sidewall conductor layer. Thus, the silicide 21a, which is to become the side wall conductor layer is formed via a sidewall insulating film 22 at the outside of a through-hole wiring 23. Conductivity of this silicide 21a has a value lower than the conductivity of the (p) well region at the outside. That is to say, the electric shielding effect with respect to the through-hole wiring 23 is enhanced by providing the sidewall conductor layer 21a.



LEGAL STATUS

[Date of request for examination]

09.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3447941

[Date of registration]

04.07.2003

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195706

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁸
H 0 1 L 21/768
21/8234
27/06
H 0 5 K 3/40

識別記号

F I

H 0 1 L 21/90 Z
H 0 5 K 3/40 K
H 0 1 L 27/06 1 0 2 E

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平10-405
(22) 出願日 平成10年(1998) 1月5日

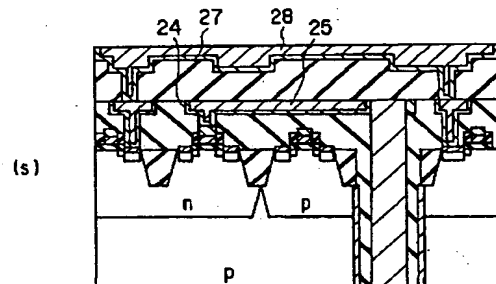
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 松永 範昭
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 柴田 英毅
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

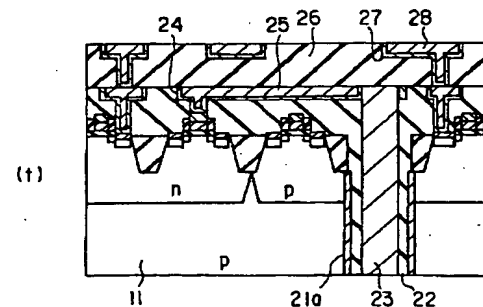
(57) 【要約】

【課題】 スルーホール配線に対する電気的な遮蔽効果を高めることを可能とする。

【解決手段】 半導体基板11を貫くスルーホールの内側に側壁絶縁膜22を介してスルーホール配線23が形成された半導体装置において、スルーホールの側壁となる半導体基板11と側壁絶縁膜22との間に側壁導電体層21aが形成されている。



28...A1板



1

【特許請求の範囲】

【請求項 1】半導体基板を貫くスルーホールの内側に側壁絶縁膜を介してスルーホール配線が形成された半導体装置において、前記スルーホールの側壁となる半導体基板と前記側壁絶縁膜との間に側壁導電体層が形成されていることを特徴とする半導体装置。

【請求項 2】前記側壁導電体層は所定の電位に保持されたウエル領域に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記側壁導電体層は所定の電位に保持された配線に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記側壁導電体層は当該側壁導電体層の内側に形成された前記スルーホール配線が接続される素子が形成されたウエル領域と同一のウエル領域に接続されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】前記側壁導電体層は当該側壁導電体層の内側に形成された前記スルーホール配線が接続される素子が形成されたウエル領域とは異なったウエル領域に接続されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 6】前記側壁導電体層は複数の前記スルーホール配線に対応して複数設けられ、これら複数の側壁導電体層は同一導電型のウエル領域に接続されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】前記側壁導電体層は複数の前記スルーホール配線に対応して複数設けられ、これら複数の側壁導電体層は前記半導体基板本体の導電型と同一の導電型のウエル領域に接続されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】前記側壁導電体層は複数の前記スルーホール配線に対応して複数設けられ、これら複数の側壁導電体層は単一のウエル領域に接続されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 9】前記側壁導電体層は金属、金属化合物、不純物が添加された半導体又は金属シリサイドによって形成されていることを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置。

【請求項 10】半導体基板を貫くスルーホールを形成する工程と、このスルーホールの側壁に側壁導電体層を形成する工程と、この側壁導電体層の内側に側壁絶縁膜を形成する工程と、この側壁絶縁膜の内側にスルーホール配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】前記側壁導電体層を形成する工程は、前記半導体装置の他の導電体層を形成する工程と同時に進行することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】前記側壁絶縁膜を形成する工程は、前記半導体装置の他の絶縁膜を形成する工程と同時に進行

2

ることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】シリコン基板の表面から裏面に貫通するスルーホール内に配線を形成し、この配線を介して基板上に形成された素子と他の基板上に形成された素子とを電気的に接続することにより、積層された複数の基板間で信号の送受を行う技術が開発されている。スルーホール内への配線の形成は、基板を貫くスルーホールを形成した後、スルーホール側壁表面に絶縁膜を形成し、その後配線となる金属を埋め込むことによって行われる。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、スルーホール配線は抵抗率の高い基板材料によって取り囲まれることになる。したがって、スルーホール内に形成された配線が十分に遮蔽されないため、配線間でのクロストーク、外部からのノイズ、基板電位の揺らぎなどによって信号が乱されるという問題があった。

【0004】本発明は上記従来の課題に対してなされたものであり、スルーホール配線に対する電気的な遮蔽効果を高めることが可能な半導体装置及びその製造方法を提供することを目的としている。

【0005】

【課題を解決するための手段】本発明は、半導体基板を貫くスルーホールの内側に側壁絶縁膜を介してスルーホール配線が形成された半導体装置において、前記スルーホールの側壁となる半導体基板と前記側壁絶縁膜との間に側壁導電体層が形成されていることを特徴とする（請求項 1）。

【0006】前記発明によれば、側壁導電体層を設けたことにより、外部からの電気的雑音の抑制やスルーホール配線間の結合容量の抑制といった電気的な遮蔽効果を高めることが可能となる。なお、電気的な遮蔽効果を高めるという観点からは、側壁導電体層の導電率がスルーホール側壁部の半導体基板の導電率よりも高いことが望ましい。

【0007】前記半導体装置に係る発明の好ましい態様としては、以下のものをあげることができる。

【0008】前記側壁導電体層は所定の電位に保持されたウエル領域又は所定の電位に保持された配線に接続されている（請求項 2、3）。

【0009】前者では、側壁導電体層とウエルとが直接接続されるため、接続のための面積を低減することができる。後者では、側壁導電体層とウエルとを直接接続することが困難な場合（レイアウト上の制限がある場合、

3

側壁導電体層から基板中への不純物拡散を抑えるために側壁導電体層とウェルとを直接接触させることができない場合等)でも、側壁導電体層の電位を配線を介してウェル電位等に固定することが可能となり、レイアウト上の自由度を上げることができる。

【0010】前記側壁導電体層は、当該側壁導電体層の内側に形成されたスルーホール配線が接続される素子が形成されたウェル領域と同一のウェル領域に接続されていてもよいし、異なるウェル領域に接続されていてもよい(請求項4、5)。

【0011】前記側壁導電体層は、複数のスルーホール配線に対応して複数設けられ、これら複数の側壁導電体層は同一導電型のウェル領域に接続されている(請求項6)。

【0012】側壁導電体層を異なる導電型のウェルに接続すると、何らかの原因でウェル間に電位差が生じた場合に、側壁導電体層間に電位差が生じ、また側壁導電体層間で容量結合が生じることとなるが、各側壁導電体層をすべて同一導電型のウェル領域に接続することで、このような問題を回避することができる。

【0013】前記側壁導電体層は、複数のスルーホール配線に対応して複数設けられ、これら複数の側壁導電体層は半導体基板本体の導電型と同一の導電型のウェル領域に接続されている(請求項7)。

【0014】このように、各側壁導電体層を半導体基板と同一の導電型のウェル領域に接続することにより、側壁導電体層、半導体基板及びウェルを同電位に固定することができ、より一層電氣的遮蔽効果を増すことができる。

【0015】前記側壁導電体層は、複数のスルーホール配線に対応して複数設けられ、これら複数の側壁導電体層は単一のウェル領域に接続されている(請求項8)。

【0016】このように、各側壁導電体層を単一のウェル領域に接続すれば、基板の導電型やウェルの並び方等によらず、すべての側壁導電体層を同電位に固定することができ、良好な遮蔽効果を得ることができる。

【0017】前記側壁導電体層は、金属、金属化合物、不純物が添加された半導体又は金属シリサイドによって形成されている(請求項9)。

【0018】金属或いは金属化合物を用いる場合(例えば、多層配線の金属膜を用いる場合)には、スパッタやCVD等、多くの方法で側壁導電体層を形成することができ、プロセスの自由度を上げることができる。また、リフローズバックを用いれば、高アスペクトのスルーホールに対してもカバレッジよく薄膜を堆積することができる。不純物が添加された半導体を用いる場合(例えば、ゲートとなる不純物含有ポリシリコンを用いる場合)には、その導電型を添加不純物によって制御することができ、側壁導電体層が接続されるウェルと同一導電型のものを容易に形成することができる。シリサイドを

4

用いる場合(例えば、ゲート及びソース・ドレインにシリサイドを用いる場合)には、Si等の基板材料との固相反応を利用できるため、安定で密着性のよい導電体層を形成することができる。

【0019】なお、多層配線に用いる金属としては、アルミニウム(Al)、銅(Cu)、チタニウム(Ti)、窒化チタニウム(TiN)、タングステン(W)、ニオブ(Nb)等を用いることができる。また、側壁絶縁膜には、シリコン酸化膜、シリコン窒化膜、SiOF膜等を用いることができる。また、スルーホール配線には、金属ペースト(例えばNiペースト)を焼成して得られたもの、メッキによって得られたもの等を用いることができる。

【0020】本発明に係る半導体装置の製造方法は、半導体基板を貫くスルーホールを形成する工程と、このスルーホールの側壁に側壁導電体層を形成する工程と、この側壁導電体層の内側に側壁絶縁膜を形成する工程と、この側壁絶縁膜の内側にスルーホール配線を形成する工程とを有することを特徴とする(請求項10)。

【0021】前記半導体装置の製造方法に係る発明の好ましい態様としては、以下のものをあげることができる。

【0022】前記側壁導電体層を形成する工程は、半導体装置の他の導電体層を形成する工程と同時に進行される(請求項11)。

【0023】代表的には、配線となる層を形成する工程(例えば、選択CVD等で多層配線の金属膜を形成する工程)、ゲート及びソース・ドレインのシリサイド化工程、ゲートやソース・ドレインの不純物注入工程等をあげることができる。

【0024】また、側壁導電体層の形成方法としては、スパッタリング、CVD、イオン注入、気相拡散、固相拡散、メッキ、塗布等、種々の方法を用いることが可能である。例えば、W等の選択CVDを用いて側壁導電体層を形成すれば、スルーホールの側壁に選択的に側壁導電体層を形成することができ、均一な膜厚を得ることができる。また、イオン注入を用いて不純物をスルーホール側壁の半導体に導入すれば、側壁導電体層の導電型を接触するウェルの導電型に応じて適宜選択することができる。また、CVDにより不純物含有ポリシリコンをスルーホールの側壁に堆積すれば、比較的低温で側壁導電体層を形成することができる。

【0025】前記側壁絶縁膜を形成する工程は、半導体装置の他の絶縁膜を形成する工程と同時に進行される(請求項12)。

【0026】代表的には、層間絶縁膜となるシリコン酸化膜等の堆積工程、ゲート側壁膜となるシリコン窒化膜の堆積工程等をあげることができる。

【0027】このように、側壁導電体層や側壁絶縁膜を他の工程と兼用することにより、工程の短縮化をはかる

ことができる。

【0028】

【発明の実施の形態】以下、図面を参照して、本発明の実施形態を説明する。

【0029】まず、本発明の第1の実施形態について、図1～図10を参照して説明する。図1～図10は、多層配線構造の半導体集積回路装置に本発明を適用したときの製造工程を示した工程断面図である。

【0030】まず、図1(a)に示すように、p型シリコン基板11の表面側にシリコン酸化膜からなるSTI構造の素子分離絶縁膜12を形成する。続いて、図1(b)に示すように、pウエル領域13a及びnウエル領域13bを形成する。

【0031】次に、図2(c)に示すように、基板表面にシリコン酸化膜からなるゲート絶縁膜14を形成する。次に、図2(d)に示すように、全面にポリシリコン膜15を形成し、さらにこのポリシリコン膜15上にレジスト16を形成する。

【0032】次に、図3(e)に示すように、レジスト16を用いてポリシリコン膜15をエッチングし、ゲート電極の構造を形成する。続いて、レジスト16を剥離した後、ゲート電極となるポリシリコン膜15をマスクとしてイオン注入を行い、ソース・ドレインとなる不純物拡散層17aを形成する。次に、図3(f)に示すように、全面にシリコン窒化膜18を堆積する。

【0033】次に、図4(g)に示すように、基板の表面側から裏面側に貫通するスルーホール19を以下のようにして形成する。まず、シリコン窒化膜18上に、マスクとなる金属膜(例えばアルミニウム膜)を形成し、この金属膜上にスルーホールに対応した開口を有するレジストパターンを形成する。続いて、このレジストパターンをマスクとして金属膜をパターンニングし、パターンニングされた金属膜を用いてシリコン窒化膜、素子分離絶縁膜及びシリコン基板をエッチングして、スルーホール19を形成する。その後、金属膜を剥離する。

【0034】次に、図4(h)に示すように、RIE等の異方性エッチングによりシリコン窒化膜18をエッチングし、ゲート電極となるポリシリコン膜15の側壁にのみゲート側壁膜として残置させる。続いて、このゲート側壁膜をマスクとしてイオン注入を行い、ソース・ドレインとなる不純物拡散層17bを形成する。このとき、同時にポリシリコン膜15にも不純物がドーピングされる。

【0035】次に、図5(i)に示すように、全面に下地金属膜としてTi/TiN膜20を形成する。このとき、Ti/TiN膜20はスルーホール19の内壁にも形成される。次に、図5(j)に示すように、熱処理によりTi/TiN膜20とその下のシリコンとを反応させ、シリサイドを形成する。すなわち、スルーホールの

内壁となる基板シリコンとの反応によりシリサイド21aを、不純物拡散層との反応によりシリサイド21bを、ゲート電極となるポリシリコン膜との反応によりシリサイド21cを形成する。シリサイド21aはpウエル領域と接し、側壁導電体層となる。その後、未反応のTi/TiN膜20をH₂SO₄とH₂O₂との混合溶液等を用いて除去する。

【0036】次に、図6(k)に示すように、全面に層間絶縁膜となるTEOS膜22a及びBPSG膜22bを形成する。このとき、スルーホール内にもTEOS膜22a及びBPSG膜22bが形成される。次に、図6(l)に示すように、TEOS膜22a及びBPSG膜22bからなる層間絶縁膜(側壁絶縁膜)22で覆われたスルーホール内に金属ペースト(Ni、Al等のペースト)を埋め込んでベーキングした後、CMPにより余剰の金属ペーストを除去する。これにより、スルーホール内にスルーホール配線23が形成されることになる。

【0037】次に、図7(m)に示すように、リソグラフィ及びRIEにより層間絶縁膜22を加工し、コンタクトホール及び配線溝を形成する。続いて、図7(n)に示すように、全面に下地金属膜としてTi/TiN膜24を堆積する。

【0038】次に、図8(o)に示すように、CVD法により全面にW膜25を形成した後、余剰のTi/TiN膜24及びW膜25をCMP、RIE、CDE等によって除去する。その結果、層間絶縁膜22に形成されたコンタクトホール及び配線溝は、Ti/TiN膜24及びW膜25によって埋め込まれる。続いて、図8(p)に示すように、全面に層間絶縁膜26としてTEOS膜を形成する。

【0039】次に、図9(q)に示すように、層間絶縁膜26を加工してビアホール及び配線溝を形成する。続いて、図9(r)に示すように、全面に下地金属膜27としてTi、Nb等を堆積する。

【0040】次に、図10(s)に示すように、全面にAl膜28を形成する。その後、図10(s)に示すように、余剰の下地金属膜27及びAl膜28を除去し、層間絶縁膜26に形成されたコンタクトホール及び配線溝を下地金属膜27及びAl膜28によって埋め込む。

【0041】以上のようにして、多層配線構造を有する半導体集積回路装置が作製される。本実施形態では、スルーホール配線23の外側に側壁絶縁膜22を介して側壁導電体層となるシリサイド21aが形成されている。このシリサイド21aの導電率はその外側のpウエル領域の導電率よりも低い値を有するものである。したがって、側壁導電体層21aを設けたことにより、スルーホール配線23に対する電気的な遮蔽効果を高めることができる。

【0042】なお、本実施形態においては、以下のよう

7

な変更が可能である。図4(h)の工程で不純物拡散層17bをイオン注入で形成するとき、通常は同時にゲートとなるポリシリコン膜15にも不純物のイオン注入が行われる。このイオン注入工程において、スルーホール19側壁のシリコン基板にも同時に不純物をイオン注入して、このイオン注入された基板領域を側壁導電体層として用いるようにしてもよい。

【0043】次に、本発明の第2の実施形態について、図11～図20を参照して説明する。図11～図19は、多層配線構造の半導体集積回路装置に本発明を適用したときの製造工程を示した工程断面図であり、図20はその一部の工程を変更した場合の製造工程断面図である。

【0044】なお、途中の工程までは第1の実施形態(図1(a)～図3(f)の工程)と同様であるため、これらについては第1の実施形態を参照することとし、詳細な説明は省略する。

【0045】図3(f)に示す工程の後、図11(g)の工程を行う。すなわち、RIE等の異方性エッチングによりシリコン窒化膜18をエッチングし、ゲート電極となるポリシリコン膜15の側壁にのみゲート側壁膜として残置させる。続いて、このゲート側壁膜をマスクとしてイオン注入を行い、ソース・ドレインとなる不純物拡散層17bを形成する。次に、図11(h)に示すように、全面に下地金属膜としてTi/TiN膜20を形成する。

【0046】次に、図12(i)に示すように、熱処理によりTi/TiN膜20とその下のシリコンとを反応させ、シリサイドを形成する。すなわち、不純物拡散層との反応によりシリサイド21bを、ゲート電極となるポリシリコン膜との反応によりシリサイド21cを形成する。その後、未反応のTi/TiN膜20をH₂SO₄とH₂O₂との混合溶液等を用いて除去する。次に、図12(j)に示すように、全面に層間絶縁膜となるTEOS膜30a及びBPSG膜30bを形成する。

【0047】次に、図13(k)に示すように、TEOS膜30a及びBPSG膜30bからなる層間絶縁膜30上に、メタル膜31(例えばアルミニウム膜)を形成し、このメタル膜31上にスルーホールに対応した開口を有するレジスト32を形成する。続いて、このレジスト32をマスクとしてメタル膜31をパターニングする。次に、図13(l)に示すように、メタル膜31等をマスクに用いて層間絶縁膜、素子分離絶縁膜及びシリコン基板をエッチングして、スルーホール19を形成する。

【0048】次に、図14(m)に示すように、メタル膜等を剥離する。続いて、図14(n)に示すように、全面に高熔点金属膜33を堆積する。このとき、スルーホール19の側壁にも高熔点金属膜33が堆積する。なお、高熔点金属膜の代わりに不純物をドーブしたシリコ

8

ン膜を堆積するようにしてもよい。

【0049】次に、図15(o)に示すように、RIE等の異方性エッチングにより高熔点金属膜33をエッチングし、スルーホールの内壁にのみ高熔点金属膜33を残置させ、側壁導電体膜とする。続いて、図15(p)に示すように、全面に側壁絶縁膜となるシリコン酸化膜34を形成する。このとき、スルーホール内にもシリコン酸化膜34が形成され、このシリコン酸化膜34によって側壁導電体膜33は覆われることになる。

【0050】次に、図16(q)に示すように、シリコン酸化膜34が形成されたスルーホール内にメタルペースト(Ni、Al等のペースト)を埋め込んでベーキングした後、CMPにより余剰のメタルペーストを除去する。これにより、スルーホール内にスルーホール配線23が形成される。続いて、図16(r)に示すように、コンタクトホール形成用のレジスト35aを形成し、このレジスト35aをマスクとしてシリコン酸化膜34等をRIE等でエッチングし、コンタクトホールを形成する。

【0051】次に、図17(s)に示すように、レジスト35aを剥離した後、配線溝形成用のレジスト35bを形成し、このレジスト35bをマスクとしてシリコン酸化膜34をRIE等でエッチングし、配線溝を形成する。次に、図17(t)に示すように、レジスト35bを剥離した後、全面に下地金属膜としてTi/TiN膜24を形成し、さらのその上にW膜25を形成する。その後、余剰のTi/TiN膜24及びW膜25を除去し、コンタクトホール及び配線溝をTi/TiN膜24及びW膜25をによって埋め込む。Ti/TiN膜24及びW膜25の除去にはCMP、RIE、CDE等を用いればよい。

【0052】次に、図18(u)に示すように、全面に層間絶縁膜36としてシリコン酸化膜を形成する。続いて、図18(v)に示すように、層間絶縁膜36を加工してビアホール及び配線溝を形成する。

【0053】次に、図19(w)に示すように、全面に下地金属膜38としてTi、Nb等を、さらにその上にAl膜39を堆積する。その後、余剰の下地金属膜38及びAl膜39を除去し、層間絶縁膜36に形成されたビアホール及び配線溝を下地金属膜38及びAl膜39によって埋め込む。

【0054】以上のようにして、多層配線構造を有する半導体集積回路装置が作製される。本実施形態では、スルーホール配線の外側に側壁絶縁膜を介して側壁導電体層となる高熔点金属膜が形成されている。この高熔点金属膜の導電率はその外側のpウエル領域の導電率よりも低い値を有するものである。したがって、側壁導電体層を設けたことにより、スルーホール配線に対する電気的な遮蔽効果を高めることができる。

【0055】なお、上記の例では、図17(s)の工程

9

において配線溝をスルーホール配線23と離して形成し、図17(t)の工程において配線溝に埋め込まれたW膜等がスルーホール配線23に接触しないようにしているが、図20(s')及び図20(t')に示すようにしてもよい。すなわち、図20(s')の工程で配線溝をスルーホール配線23にかかるように形成し、図20(t')の工程でW膜25等を配線溝に埋め込むことにより、W膜等とスルーホール配線とを接続するようにしてもよい。

【0056】次に、本発明の第3の実施形態について、図21～図26を参照して説明する。図21～図25は、多層配線構造の半導体集積回路装置に本発明を適用したときの製造工程を示した工程断面図であり、図26はその一部の工程を変更した場合の製造工程断面図である。

【0057】なお、途中の工程までは第1の実施形態(図1(a)～図3(f)の工程)と類似しており、これらについては第1の実施形態を参照することとし、詳細な説明は省略する。

【0058】図3(f)に示す工程の後、図21(g)の工程を行う。すなわち、RIE等の異方性エッチングによりシリコン窒化膜18をエッチングし、ゲート電極となるポリシリコン膜15の側壁にのみゲート側壁膜として残置させる。続いて、このゲート側壁膜をマスクとしてイオン注入を行い、ソース・ドレインとなる不純物拡散層17bを形成する。次に、全面に下地金属膜としてTi/TiN膜を形成した後、熱処理によりTi/TiN膜とその下のシリコンとを反応させ、シリサイドを形成する。すなわち、不純物拡散層との反応によりシリサイド21bを、ゲート電極となるポリシリコン膜との反応によりシリサイド21cを形成する。その後、未反応のTi/TiN膜を除去する。なお、図に示すように、本実施形態では素子分離絶縁膜12上にもゲート構造と類似した構造が形成されており(これは配線として機能する)、この部分にもシリサイド等が形成される。次に、全面に層間絶縁膜40を堆積する。

【0059】次に、図21(h)に示すように、基板の表面側から裏面側に貫通するスルーホール19を以下のようにして形成する。まず、層間絶縁膜40上にマスクとなる金属膜(例えばアルミニウム膜)を形成し、この金属膜上にスルーホールに対応した開口を有するレジストパターンを形成する。続いて、このレジストパターンをマスクとして金属膜をパターニングし、パターニングされた金属膜を用いてシリサイド、ポリシリコン膜、素子分離絶縁膜及びシリコン基板をエッチングして、スルーホール19を形成する。その後、金属膜を剥離する。

【0060】次に、図22(i)に示すように、リソグラフィ及びRIEにより層間絶縁膜40を加工し、コンタクトホール及び配線溝を形成する。続いて、図22

10

(j)に示すように、全面に下地金属膜としてTi/TiN膜41及びW膜42を堆積した後、余剰のTi/TiN膜41及びW膜42を除去する。その結果、層間絶縁膜40に形成されたコンタクトホール及び配線溝は、Ti/TiN膜41及びW膜42によって埋め込まれる。また、スルーホール19の内壁にもTi/TiN膜41及びW膜42からなる側壁導電体膜が形成され、これが素子分離絶縁膜上のポリシリコン膜15及びシリサイド21cからなる配線と接触することになる。

【0061】次に、図23(k)に示すように、全面に層間絶縁膜となるシリコン酸化膜43を形成する。このとき、スルーホール内にもシリコン酸化膜43が形成され、このシリコン酸化膜43によって側壁導電体膜は覆われることになる。次に、図23(l)に示すように、シリコン酸化膜43が形成されたスルーホール内にメタルペースト(Ni、Al等のペースト)を埋め込んでベーキングした後、CMPにより余剰のメタルペーストを除去する。これにより、スルーホール内にスルーホール配線44が形成される。

【0062】次に、図24(m)に示すように、層間絶縁膜43を加工してビアホール及び配線溝を形成する。続いて、図24(n)に示すように、全面に下地金属膜45としてTi、Nb等を、さらにその上にAl膜46を堆積する。その後、余剰の下地金属膜45及びAl膜46を除去し、層間絶縁膜43に形成されたビアホール及び配線溝を下地金属膜45及びAl膜46によって埋め込む。

【0063】次に、図25(o)に示すように、層間絶縁膜47としてシリコン酸化膜を堆積し、これを加工してビアホール及び配線溝を形成する。続いて、全面に下地金属膜48としてTi、Nb等を、さらにその上にAl膜49を堆積する。その後、余剰の下地金属膜48及びAl膜49を除去し、層間絶縁膜47に形成されたビアホール及び配線溝を下地金属膜48及びAl膜49によって埋め込む。

【0064】以上のようにして、多層配線構造を有する半導体集積回路装置が作製される。本実施形態では、スルーホール配線の外側に側壁絶縁膜を介して側壁導電体層となる金属膜が形成され、これが1層目の配線に接触している。この金属膜の導電率はその外側のpウエル領域の導電率よりも低い値を有するものであるため、側壁導電体層を設けたことにより、スルーホール配線に対する電気的な遮蔽効果を高めることができる。

【0065】なお、上記の例では、図21(h)の工程においてスルーホールを形成する際に、シリサイド21c、ポリシリコン膜15及びシリコン窒化膜18をエッチング除去しているが、図26(h')に示すようにしてもよい。図26(h')の工程では、スルーホールを形成する際に、シリサイド21c及びシリコン窒化膜18に対して選択的にシリコン基板のエッチングを行うよ

11

うにしている。この場合の最終的な構造（図 25（o）に対応する構造）は、図 26（o'）のようになる。

【0066】なお、以上説明した各実施形態は、以下のような変更が可能である。

【0067】第 1～第 3 の実施形態では、側壁絶縁膜が接続されるウエル（第 1～第 3 の実施形態では p ウエル）とその側壁絶縁膜の内側に形成されたスルーホール配線が接続されるウエル（第 1～第 3 の実施形態では n ウエル）とは異なっていたが、両者を同一のウエルに接続するようにしてもよい。例えば、第 1 の実施形態の場合に、図 27 に示すように接続してもよい。

【0068】また、集積回路装置では通常スルーホール配線及び側壁導電体層を複数設けることになるが、側壁導電体層は図 28 及び図 29 に示すような接続の仕方をすることも可能である。図 28 及び図 29 において、61 はシリコン基板本体、62a は p ウエル、62b は n ウエル、63 は側壁導電体層、64 は側壁導電体層とウエルとの接続点、65 は基板上部の配線を示している。

【0069】図 28 では、各側壁導電体層 63 をすべて同一導電型のウエル（図では p ウエル 62a）に接続する例と、各側壁導電体層 63 をすべてシリコン基板 61 の導電型（図では p 型）と同一の導電型のウエル（図では p ウエル 62a）に接続する例とを併せて示している。側壁導電体層を異なる導電型のウエルに接続すると、何らかの原因でウエル間に電位差が生じた場合に、側壁導電体層間に電位差が生じ、また側壁導電体層間で容量結合が生じることとなるが、各側壁導電体層をすべて同一導電型のウエル領域に接続することで、このような問題を回避することができる。また、各側壁導電体層を基板と同一の導電型のウエル領域に接続することにより、側壁導電体層、基板及びウエルを同電位に固定することができ、電氣的遮蔽効果を増すことができる。

【0070】図 28 では、側壁導電体層 63 を単一のウエル領域（図では p ウエル 62a）に接続する例を示している。このように、各側壁導電体層を単一のウエル領域に接続すれば、基板の導電型やウエルの並び方等によらず、すべての側壁導電体層を同電位に固定することができ、良好な遮蔽効果を得ることができる。

【0071】以上、各実施形態及びその変更例等について説明したが、本発明はこれらに限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0072】

【発明の効果】本発明によれば、側壁導電体層を設けたことにより、外部からの電氣的雑音の抑制やスルーホール配線間の結合容量の抑制といった電氣的な遮蔽効果を高めることが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

12

【図 2】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 3】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 4】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 5】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 6】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 7】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 8】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 9】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 10】本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 11】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 12】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 13】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 14】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 15】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 16】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 17】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 18】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 19】本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 20】本発明の第 2 の実施形態に係る半導体装置の製造方法についてその一部の工程を変更した場合の断面図。

【図 21】本発明の第 3 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 22】本発明の第 3 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 23】本発明の第 3 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 24】本発明の第 3 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 25】本発明の第 3 の実施形態に係る半導体装置の製造方法の一部を示した製造工程断面図。

【図 26】本発明の第 3 の実施形態に係る半導体装置の

13

製造方法についてその一部の工程を変更した場合の断面図。

【図27】本発明の他の実施形態に係る半導体装置を示した断面図。

【図28】本発明の他の実施形態について示した説明図。

【図29】本発明の他の実施形態について示した説明図。

【符号の説明】

- 11…シリコン基板
- 12…素子分離絶縁膜
- 13a…pウエル領域
- 13b…nウエル領域
- 14…ゲート絶縁膜
- 15…ポリシリコン膜
- 16…レジスト
- 17a、17b…不純物拡散層
- 18…シリコン窒化膜
- 19…スルーホール

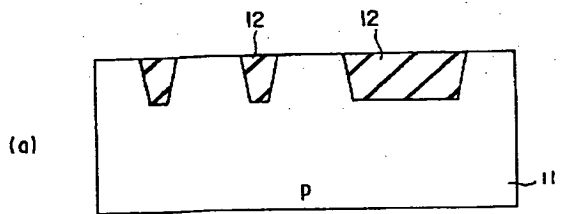
14

- *20、24、27、38、41、45、48…下地金属膜
- 21a、21b、21c…シリサイド
- 22、26、30、36、40、43、47…層間絶縁膜
- 23、44…スルーホール配線
- 25、42…W膜
- 28、39、46、49…Al膜
- 31…金属膜
- 32、35a、35b、37…レジスト
- 33…高融点金属膜
- 34…シリコン酸化膜
- 61…シリコン基板
- 62a…pウエル
- 62b…nウエル
- 63…側壁導電体層
- 64…接続点
- 65…配線

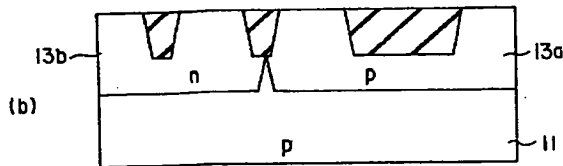
10

*

【図1】

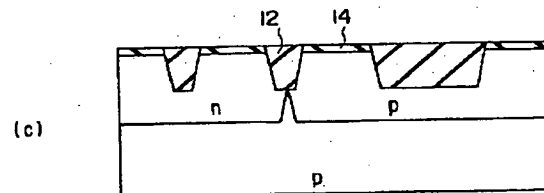


11…p型シリコン基板 12…素子分離絶縁膜

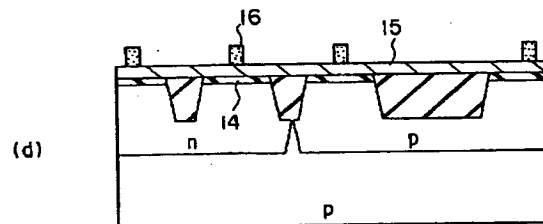


13a…pウエル領域 13b…nウエル領域

【図2】

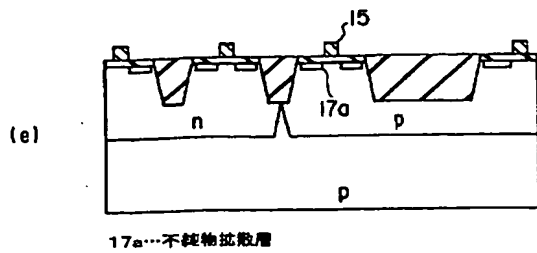


14…ゲート絶縁膜

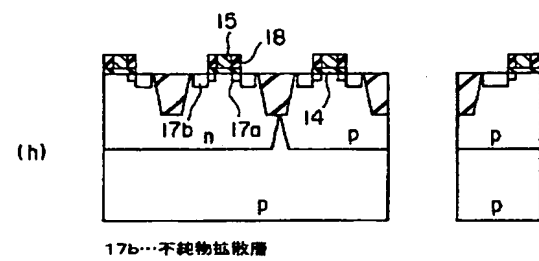
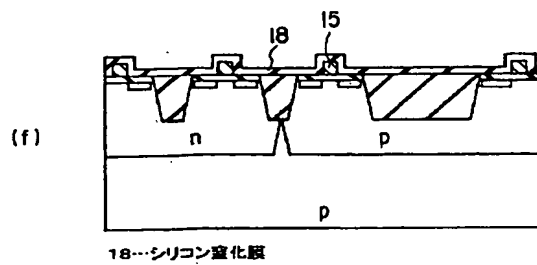
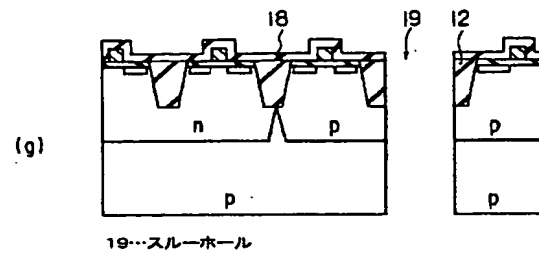


16…ポリシリコン膜 16…レジスト

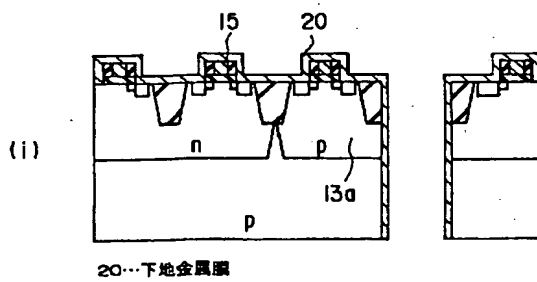
【図3】



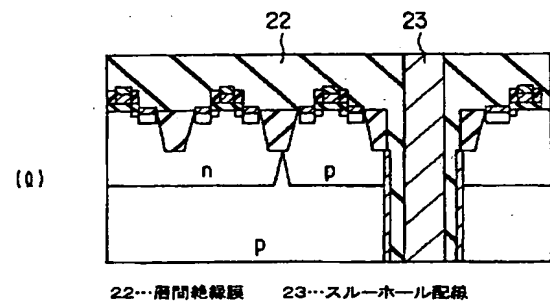
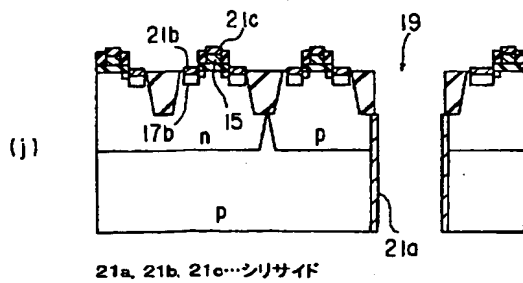
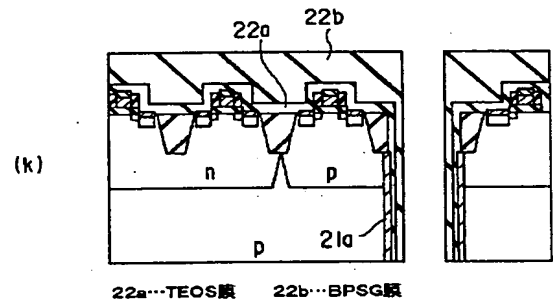
【図4】



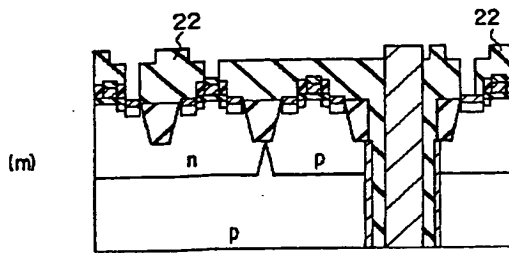
【図5】



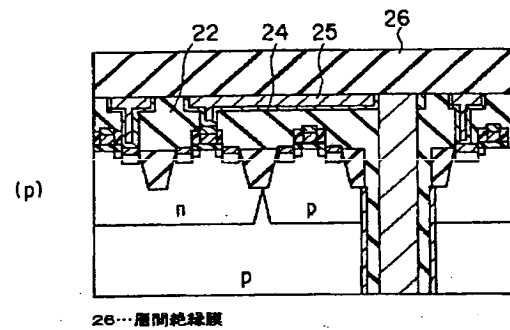
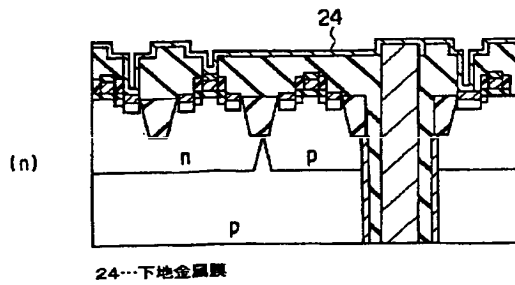
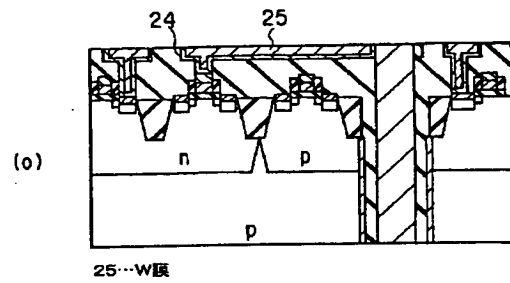
【図6】



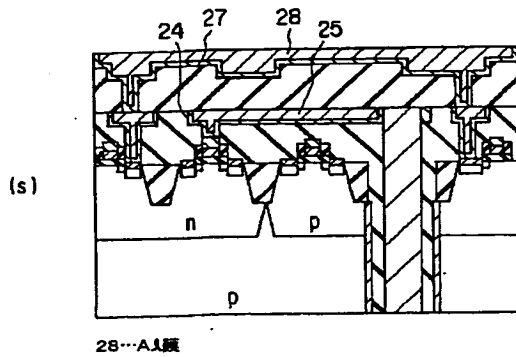
【図 7】



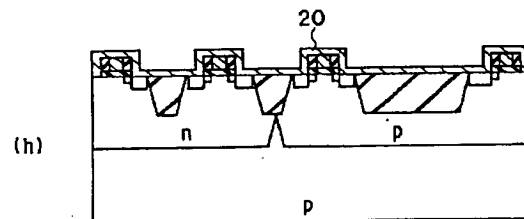
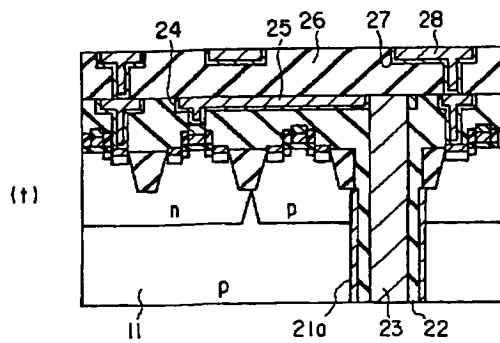
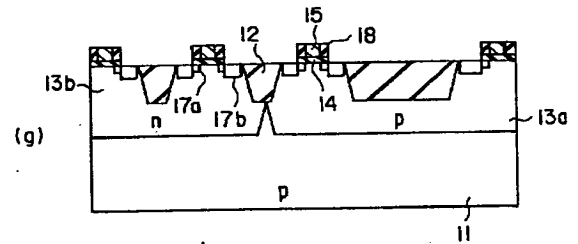
【図 8】



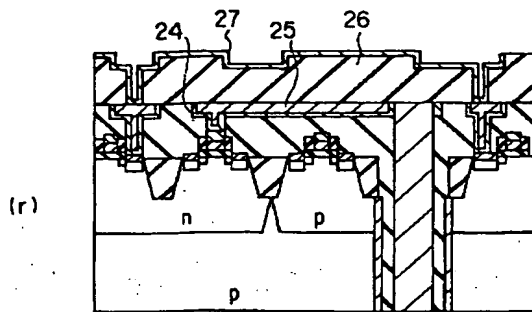
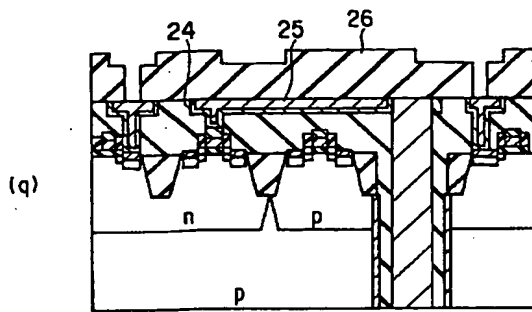
【図 10】



【図 11】

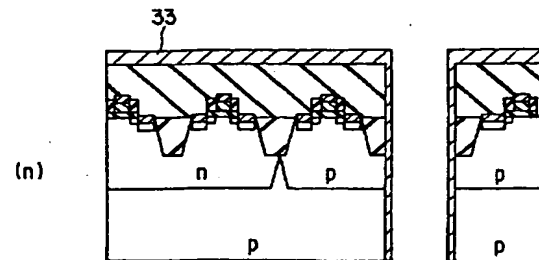
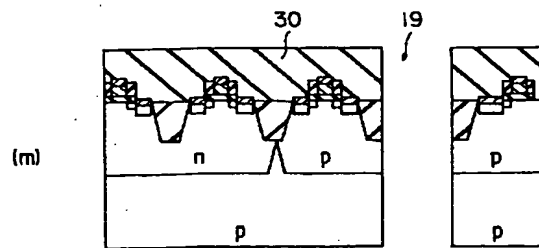


【図9】



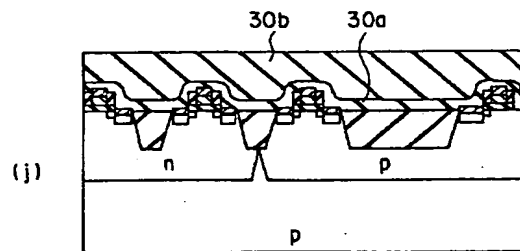
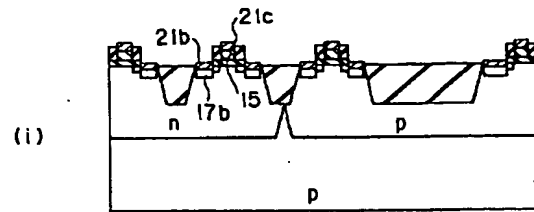
27...下地金属膜

【図14】



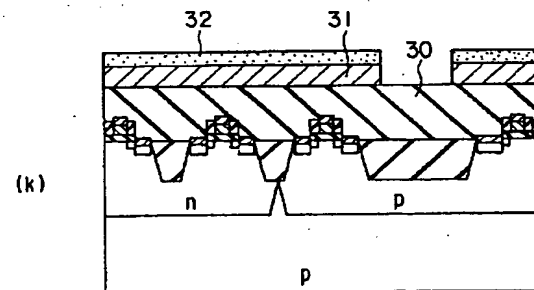
33...高融点金属膜

【図12】

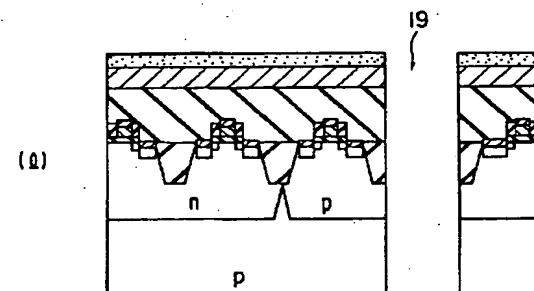


30a...TEOS膜 30b...BPSG膜

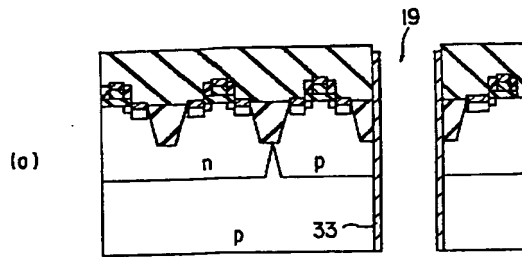
【図13】



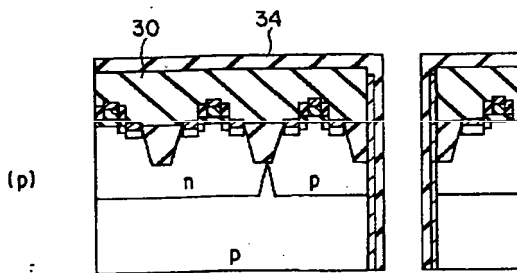
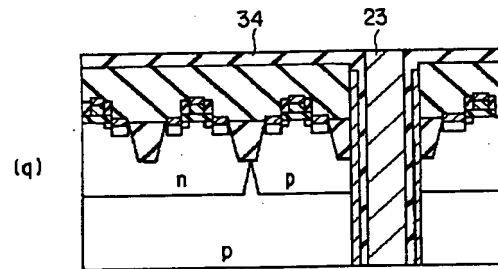
30...層間絶縁膜 31...メタル膜 32...レジスト



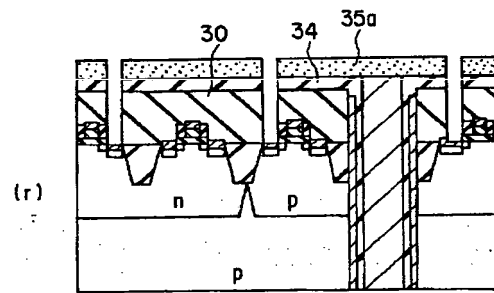
【図15】



【図16】

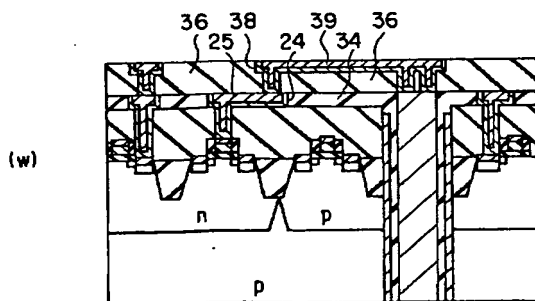


34...シリコン酸化膜



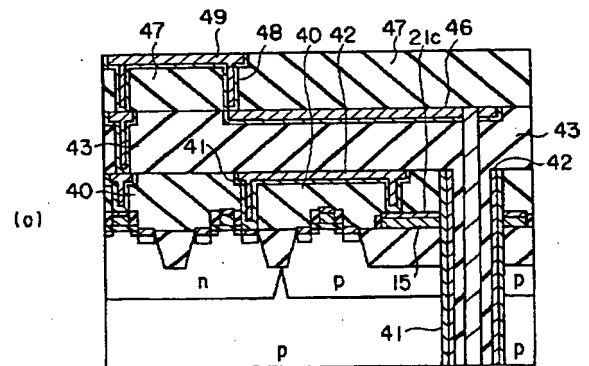
35a...レジスト

【図19】



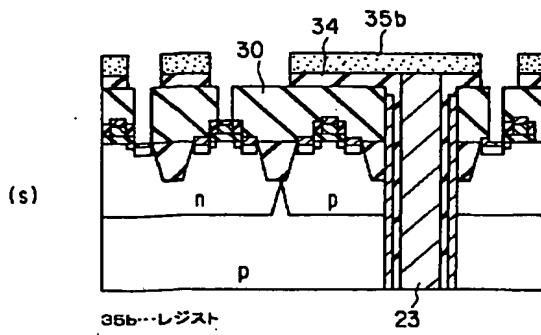
38...下地金属膜 39...Al膜

【図25】

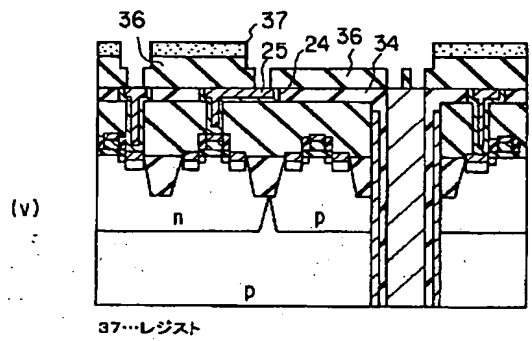
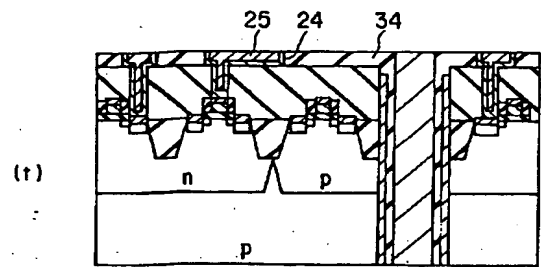
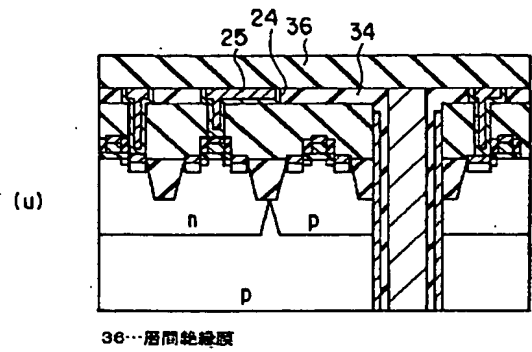


47...層間絶縁膜 48...下地金属膜 49...Al膜

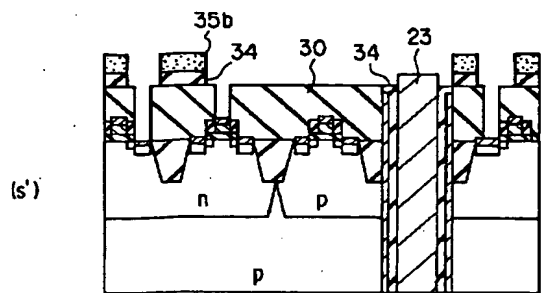
【図 17】



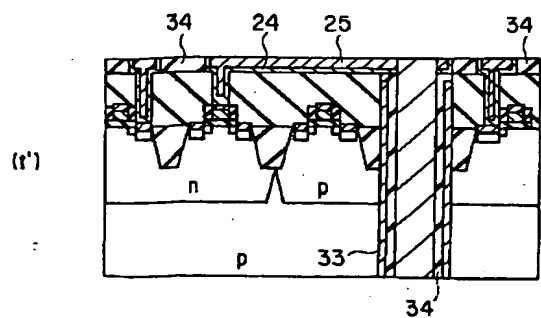
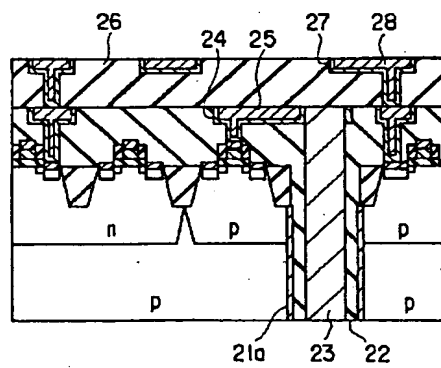
【図 18】



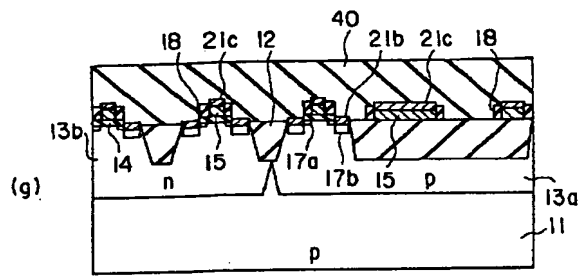
【図 20】



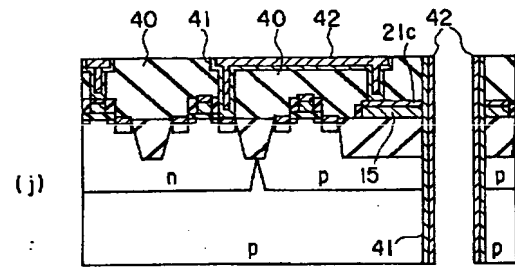
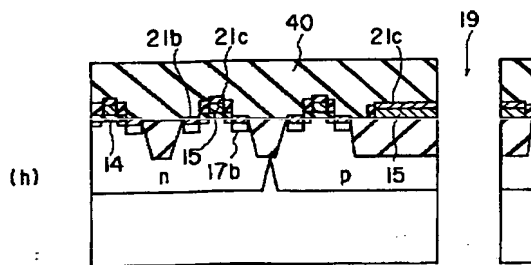
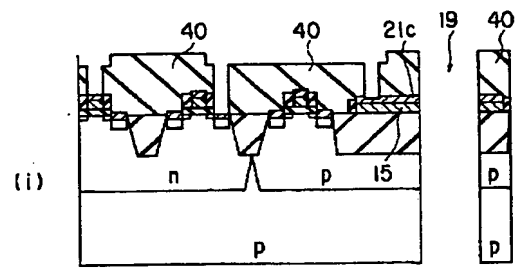
【図 27】



【図 2 1】



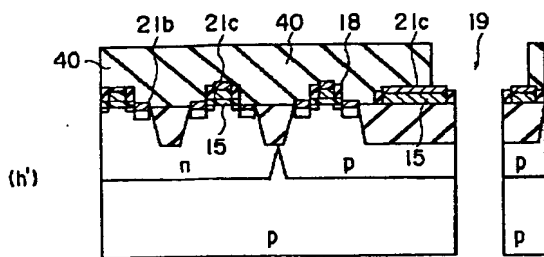
【図 2 2】



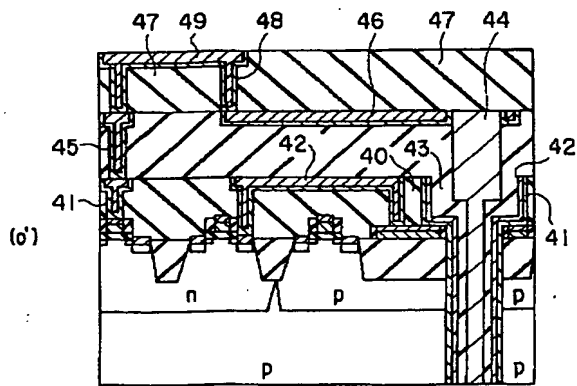
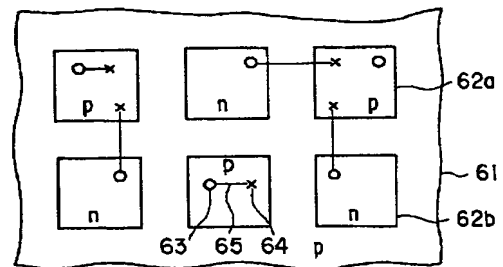
40...層間絶縁膜

41...下地金属膜 42...W膜

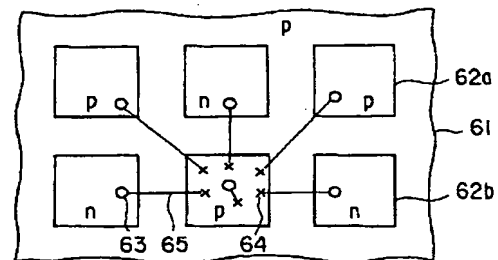
【図 2 6】



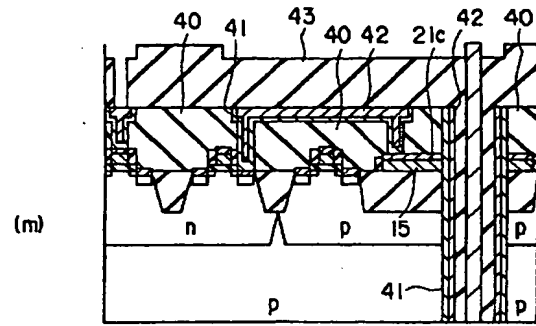
【図 2 8】



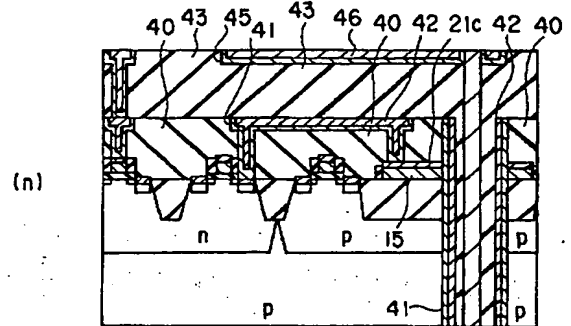
【図 2 9】



【圖 24】



45...下地金属膜 46...Al膜



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)